Computational Intelligence in Electrical Engineering
Vol. 16, No. 02, 2025
pp. 19- 38
Research Paper

A Novel Phase Shift Hybrid Control Method for Full-Bridge Buck DC-DC Converters Based on Type 3 Voltage Loop Compensator and Overcurrent Protection

Pezhman Bayat[*1], Peyman Bayat[2]

[1] Assistant Professor, Department of Electrical Engineering, Hamedan University of Technology, Hamedan, Iran
[2] Ph.D., Department of Electrical Engineering, Hamedan University of Technology, Hamedan, Iran

Abstract:
In this article, a new hybrid control strategy for full-bridge DC-DC converters based on the phase shift control method is presented. The proposed control method has two loops of current control and voltage control, which is designed by using two operational amplifiers and creating a type 3 compensator structure. In fact, by comparing the current of the primary side of the transformer in the full-bridge DC-DC converter and the value of the error amplifier supplied from the output of the type 3 compensator, control parameters such as set and reset are extracted for use in the phase shift controller. In this regard, to control the power switches in the converter, a peak current control method is used, and a cycle-to-cycle current control method and pulse width modulation comparator are considered. The main purpose of the proposed control method is to be able to maintain control stability to a very desirable level in continuous and high load changes in the output of a full-bridge DC-DC converter. To provide a controller strategy, all the required theoretical relationships have been extracted and presented. To verify the proposed control structure, a laboratory sample with 12kW power has been built in the application of electric vehicles, and practical results have been presented.

Keywords: Full-Bridge DC-DC Converter, Phase Shift, Current Control Loop, Voltage Control Loop, Type-3 Compensator.

This is an open access article under the CC BY-NC-ND/4.0/ License (https://creativecommons.org/licenses/by-nc-nd/4.0/).

https://doi.org/10.22108/isee.2025.141272.1685

مقاله پژوهشی

یک روش کنترلی ترکیبی نوین از کنترل شیفت فاز برای مبدل‌های DC-DC کاهندهٔ تمام-پل مبتنی بر جبران‌ساز حلقهٔ ولتاژ نوع ۳ و حفاظت از اضافه‌جریان

پژمان بیات [۱*]، پیمان بیات [۲]

۱- استادیار، گروه مهندسی برق، دانشگاه صنعتی همدان، همدان، ایران
pezhman.bayat@hut.ac.ir
۲- دانش‌آموخته دکتری، گروه مهندسی برق، دانشگاه صنعتی همدان، همدان، ایران
peyman.bayat@hut.ac.ir

چکیده: در این مقاله، یک راهبرد کنترلی ترکیبی نوین بر مبنای روش کنترلی شیفت فاز برای مبدل‌های DC-DC کاهندهٔ تمام‌پل ارائه شده است. روش کنترلی پیشنهادی دارای دو حلقهٔ کنترل جریان و کنترل ولتاژ است که با بهره‌گیری از دو تقویت‌کنندهٔ عملیاتی و ایجاد یک ساختار جبران‌ساز نوع ۳، طراحی شده است. در روش ارائه‌شده، با مقایسهٔ جریان سمت اولیهٔ ترانسفورماتور موجود در مبدل DC-DC تمام‌پل و میزان تقویت‌کنندهٔ خطا که حاصل از خروجی جبران‌ساز نوع ۳ است، پارامترهای کنترلی مانند زمان تنظیم و بازنشانی مورد نیاز برای محاسبهٔ شیفت فاز تعیین می‌شوند. در این راستا، به منظور کنترل کلیدهای قدرت در مبدل یادشده، از روش کنترل پیک جریان بهره گرفته شده که در آن، کنترل سیکل به سیکل حد جریان و مقایسه‌کنندهٔ مدولایسون عرض پالس مدنظر است. هدف اصلی روش کنترلی پیشنهادی این است که بتوان در تغییرات مداوم و زیاد بار واقع در ترمینال خروجی یک مبدل DC-DC تمام‌پل، پایداری کنترلی را تا حد بسیار مطلوب حفظ کرد؛ در عین حال، بهبود مشخصه‌های دینامیکی مانند زمان نشست و زمان صعود هدف قرار گرفته است. به منظور ارائهٔ ساختار کنترلی، تمامی روابط نظری مورد نیاز استخراج و ارائه شده‌اند و تمامی پارامترهای موجود در مبدل تحت مطالعه طراحی شده‌اند. به منظور تأیید ساختار کنترلی پیشنهادی و روابط استخراج‌شده، یک نمونهٔ آزمایشگاهی با توان ۱۲ کیلووات در کاربرد خودروهای برقی ساخته و نتایج عملی ارائه شده است. در نهایت، به منظور تأیید روش ارائه‌شده و نشان‌دادن برتری کنترل‌کنندهٔ پیشنهادی، مقایسه‌ای با سایر روش‌های موجود صورت گرفته است.

واژه‌های کلیدی: راهبرد کنترلی ترکیبی، شیفت فاز، جبران‌ساز نوع ۳، حلقهٔ کنترل جریان، حلقهٔ کنترل ولتاژ، مبدل DC-DC.

۱- مقدمه

مبدل DC-DC تمام‌پل [۱] شیفت فاز [۲] مشابه یک مبدل تمام‌پل معمولی است؛ با این تفاوت که در زمان روشن و خاموش شدن سوئیچ‌ها یک شیفت فاز وجود دارد. این نوع مبدل‌ها در کاربردهای توان متوسط و بالا به دلیل ویژگی‌های متمایزشان مانند نسبت تبدیل ولتاژ زیاد، ایزولاسیون گالوانیکی و انعطاف‌پذیری حالت‌های عملیاتی، به طور گسترده استفاده می‌شوند [۱-۳]؛ در این نوع مبدل‌ها، شرایط کلیدزنی تحت ولتاژ صفر (ZVS) [۳] باعث کاهش تلفات سوئیچینگ [٤] می‌شود. همچنین، با ایجاد رزونانس [٥] بین

[۱] تاریخ ارسال مقاله : ۱٤۰۳/۰۲/۰٥
تاریخ پذیرش مقاله : ۱٤۰٤/۰۷/۰٦
نام نویسنده مسئول : پژمان بیات
نشانی نویسنده مسئول: ایران، همدان، دانشگاه صنعتی همدان، گروه مهندسی برق

دو عنصر سلف پراکندگی[۶] یا نشتی ترانسفورماتور و دیود —ذاتی بدنهٔ سوئیچ‌ها، شرایط برای کلیدزنی نرم[۷] فراهم می‌شود؛ از این رو، دست‌یابی به شرایط ZVS و حذف تلفات سوئیچینگ، مبدل DC-DC تمام‌پل شیفت فاز را به یک توپولوژی مناسب برای توان‌های زیاد تبدیل کرده است؛ با این حال، استفاده از این نوع مبدل‌ها به‌شدت به یک رویکرد طراحی کنترلی نیازمند است.

طراحی سیستم کنترلی این نوع مبدل‌ها، از آنجا که در حالت حلقه‌باز، سیستم دینامیک غیرخطی دارد، موضوعی چالش‌برانگیز است. همچنین، مبدل در عمل معمولاً در معرض اختلالات ورودی و خروجی اندازه‌گیری‌نشده است؛ که نیاز به کنترل و مدیریت دارد [۳]. بسیاری از تکنیک‌های کنترل خطی مرسوم، مانند کنترل‌کنندهٔ تناسبی-انتگرالی-مشتقی (PID)، فیدبک حالت[۸] و رگولاتور مرتبه دوم خطی (LQR)[۹] می‌توانند در اهداف یادشده، مبدل را کنترل کنند [٤-٦]. با وجود این، این روش‌ها قادر به کنترل محدودیت حداکثر جریان نیستند [۷، ۸]. بر این اساس، کنترل پیش‌بینِ مدل[۱۰] به دلیل رویکرد روشمند آن برای برطرف‌کردن و پرکردن خلأهای روش‌های کنترلی مرسوم انتخابی مناسب است [۹]. در سال‌های اخیر، روش کنترل پیش‌بینِ مدل در چند جا مورد بحث قرار گرفته است. در این راستا، روش کنترل پیش‌بینِ مدل با در نظر گرفتن قیود غیرخطی برای مبدل‌های DC-DC تمام‌پل شیفت فاز در [۱۰] پیشنهاد شده که در آن مسئلهٔ کنترل بهینه با یک الگوریتم برنامه‌ریزی درجه دوم متوالی[۱۱] حل شده است. همچنین، رویکردی دیگر از روش کنترل پیش‌بینِ مدل در [۱۱] پیشنهاد شده است که در آن قیود خطی‌سازی شده است که عملکرد محاسباتی مشابه روش غیرخطی را دنبال می‌کند [۱۰]. در طرف مقابل، یک رویکرد کنترل‌کنندهٔ پیش‌بین غیرخطی اکتشافی در [۱۲] پیشنهاد شده است که در آن استدلال شده است به‌کارگیری ماهیت کمینهٔ فاز[۱۲] بودن این نوع مبدل‌ها، امکان استفاده از یک افق پیش‌بینی کوتاه‌مدت را فراهم می‌کند که عملیات مبدل را در حالات گذرا بهبود می‌بخشد.

کنترل مد لغزشی[۱۳] نیز به دلیل استحکام زیاد و پاسخ دینامیکی مناسب در مقاله‌های بسیاری مورد توجه قرار گرفته است. علاوه بر این، کنترل مد لغزشی اساساً نوعی کنترل غیرخطی محسوب می‌شود که با سایر روش‌های کنترل پیوسته متفاوت است و می‌تواند عدم قطعیت‌های واردشده به سیستم را رد کند [۱۳، ۱٤]. در [۱۵]، پژوهشگران با به‌کارگیری کنترل مد لغزشی در کنترل مبدل DC-DC تمام‌پل شیفت فاز نتایج شبیه‌سازی را ارائه کرده‌اند؛ با همهٔ این اوصاف، این روش کنترلی دارای پیچیدگی‌های فراوانی است که کاربرد این روش کنترلی در کاربرد عملی را با مشکلاتی مواجه می‌کند.

در مقالهٔ [۱٦]، روش کنترلی حلقه‌بستهٔ پیشخور دوگانه[۱٤] در کنترل مبدل DC-DC تمام‌پل شیفت فاز هدف قرار داده شده است. در این ساختار، ولتاژ ورودی به عنوان یک متغیر کنترل معرفی نمی‌شود، بلکه به عنوان یک ضریب ثابت در نظر گرفته می‌شود؛ بنابراین، در تغییرات لحظه‌ای ولتاژ ورودی، کنترل حلقه‌بستهٔ مدنظر نمی‌تواند تغییرات را دنبال کند و چرخهٔ وظیفه[۱۵] خروجی سیستم کنترلی بدون تغییر باقی می‌ماند؛ در این حالت، ولتاژ خروجی از مقدار داده‌شده منحرف و منجر به پاسخ دینامیکی کُند سیستم به تغییر ولتاژ ورودی می‌شود.

کنترل‌کنندهٔ فازی یکی دیگر از روش‌های مرسوم است که در کاربرد کنترل مبدل DC-DC تمام‌پل شیفت فاز نیز هدف قرار داده شده است. در مقالهٔ [۱۷]، از کنترل‌کنندهٔ فازی برای تولید سیگنال‌های کنترلی کلیدهای قدرت موجود در ساختار مدنظر بهره گرفته شده است؛ در این روش، از آنجا که بر مبنای قوانین از پیش تعیین‌شده، فرایند تصمیم‌سازی بر مبنای منطق فازی صورت می‌گیرد، اگر این قوانین دچار نقص باشند، ممکن است نتایج قابل قبول نباشد؛ به علاوه، انتخاب تابع عضویت و قوانین پایه از دشوارترین قسمت‌های ایجاد سیستم‌های فازی است. از طرفی، اجرای منطق فازی در سخت‌افزارهای رایج احتیاج به آزمایش‌ها متعدد و زمان‌بر دارد.

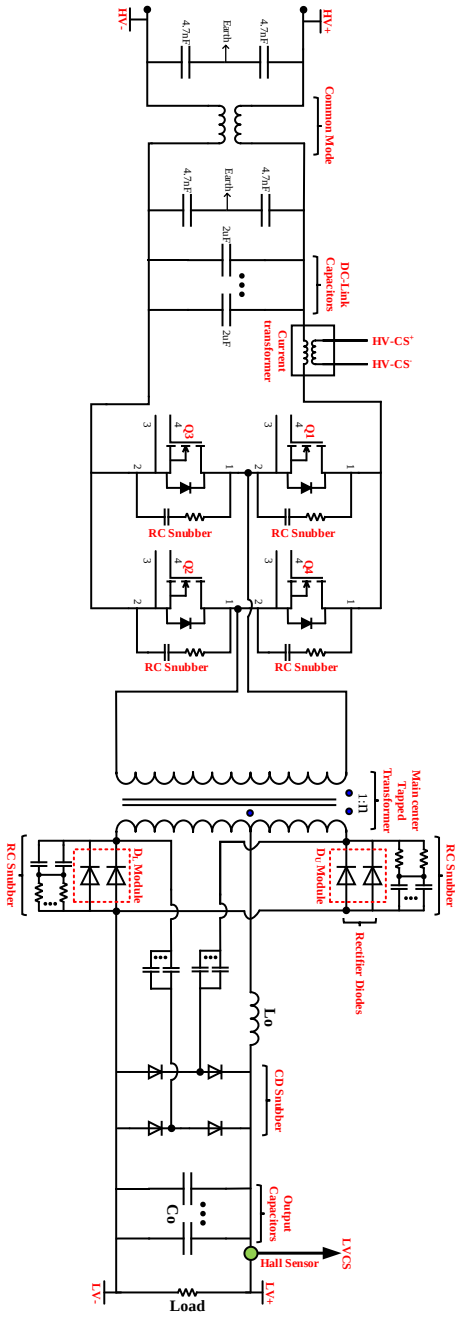
به منظور پرکردن خلأهای پژوهشی موجود، در این مقاله یک راهبرد کنترلی ترکیبی نوین برای مبدل‌های DC-DC کاهندهٔ تمام‌پل بر مبنای روش کنترلی شیفت فاز ارائه شده است. در روش کنترلی پیشنهادی، از دو حلقهٔ کنترل جریان و کنترل ولتاژ بهره گرفته شده است که با بهره‌گیری از دو تقویت‌کنندهٔ عملیاتی و ایجاد یک ساختار جبران‌ساز

نوع ۳ محقق می‌شود. مبدل یادشده با استفاده از کنترل‌کنندهٔ پیشنهادی با دینامیک بسیار سریع در برابر تغییرات ولتاژ ورودی، تغییرات بار و همچنین عدم قطعیت‌ها به صورت پایدار عمل می‌کند؛ در روش ارائه‌شده، با مقایسهٔ جریان سمت اولیهٔ ترانسفورماتور موجود در مبدل DC-DC تمام‌پل و میزان تقویت‌کنندهٔ خطا که حاصل از خروجی جبران‌ساز نوع ۳ ارائه شده است، پارامترهای کنترلی مانند زمان تنظیم[۱۶] و بازنشانی[۱۷] مورد نیاز برای محاسبهٔ شیفت فاز تعیین می‌شوند. در این راستا، به منظور کنترل کلیدهای قدرت در مبدل یادشده از روش کنترل پیک جریان بهره گرفته شده است که در آن، کنترل سیکل به سیکل حد جریان و مقایسه‌کنندهٔ مدولایسون عرض پالس مدنظر است.

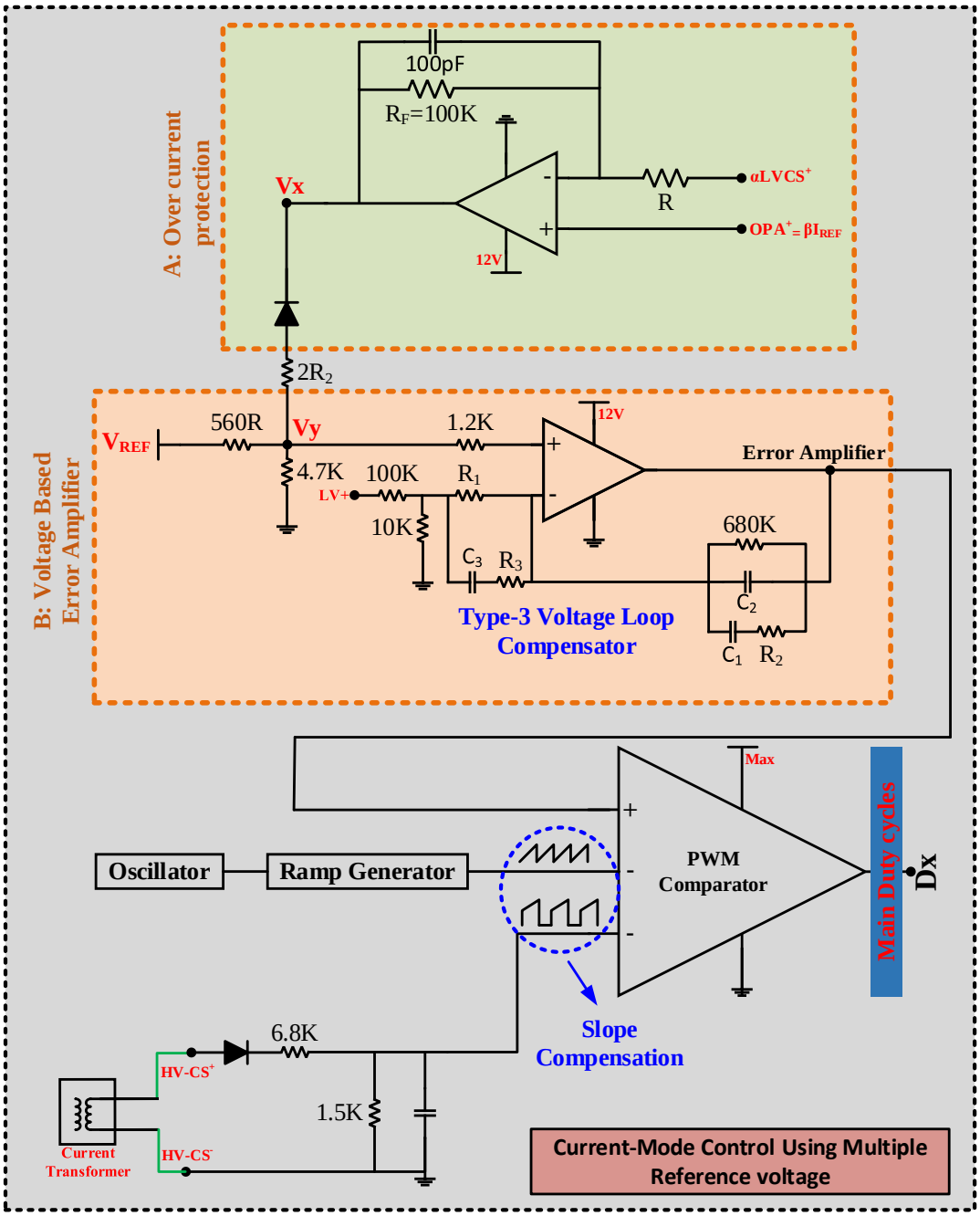
ساختار این مقاله به صورت زیر تدوین شده است: در بخش دوم، ساختار مبدل DC-DC تمام‌پل شیفت فاز نشان داده شده است. بخش سوم به طور دقیق کنترل‌کنندهٔ پیشنهادی را بررسی و پارامترهای مربوط را طراحی می‌کند. در بخش چهارم، نتایج عملی برای یک نمونهٔ اولیهٔ آزمایشگاهی با توان ۱۲ کیلووات ارائه شده و به منظور تأیید روش ارائه‌شده و نشان‌دادن برتری کنترل‌کنندهٔ پیشنهادی، مقایسه‌ای با سایر روش‌های موجود صورت گرفته است؛ در نهایت، در بخش پنجم، نتیجه‌گیری پژوهش حاضر ارائه می‌شود.

۲- ساختار مبدل تمام‌پل شیفت فاز

یکی از ساختارهای مرسوم در طراحی مبدل‌های سوئیچینگ، استفاده از مبدل‌های نیم‌پل[۱۸] و تمام‌پل است [۱، ۳، ۱۸]. این مبدل‌ها از نوع ایزوله و دارای جریان سلف پیوسته (CCM)[۱۹] هستند و یک سلف به همراه تعدادی خازن در خروجی یک فیلتر پایین‌گذر را تشکیل می‌دهد. این مبدل‌ها برای توان‌های زیاد کاربرد دارند و معمولاً برای توان خروجی کمتر از ۵۰۰ وات مبدل نیم‌پل و توان خروجی بیشتر از ۵۰۰ وات مبدل تمام‌پل استفاده می‌شود. این مبدل‌ها ولتاژ شین جریان مستقیم (DC)[۲۰] اصلی (ولتاژ زیاد) یا تولیدشده توسط پل دیودی و خازن صافی را به ولتاژ جریان متناوب (AC)[۲۱] با فرکانس زیاد مناسب برای ترانسفورماتور با هستهٔ فریت[۲۲] تبدیل می‌کنند و سپس در ثانویهٔ ترانسفورماتور، با استفاده از یک پل دیودی سریع یا یک‌سوساز دیودی با ترانسفورماتور سر وسط‌دار[۲۳]، موج AC فرکانس زیاد را به موج DC تبدیل می‌کنند و در نهایت، با بهره‌گیری از یک فیلتر LC پایین‌گذر، ولتاژ کم DC را با ریپل کم در خروجی تولید می‌کنند [۱۸]. ساختار مبدل DC-DC تمام‌پل تحت مطالعه در شکل (۱) نشان داده شده است.



شکل (۱): ساختار مبدل DC-DC تمام‌پل شیفت‌فاز تحت مطالعه



شکل (۲): کنترل‌کنندهٔ پیشنهادی مبتنی بر جبران‌ساز حلقهٔ ولتاژ نوع ۳ و حفاظت از اضافه‌جریان

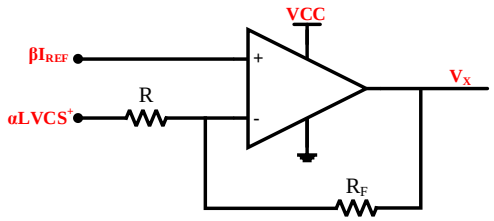
۳- ساختار کنترل‌کنندهٔ پیشنهادی و طراحی پارامترهای مربوط

سیستم کنترلی پیشنهادی در شکل (۲) نشان داده شده است. همان‌طور که در این شکل مشخص است، این ساختار کنترلی قبل از کنترل‌کنندهٔ اصلی شیفت فاز، به منظور تعیین میزان دقیق تقویت‌کنندهٔ خطا در نظر گرفته شده است و یکی از ورودی‌های اصلی کنترل‌کنندهٔ شیفت فاز محسوب می‌شود. این سیستم کنترل شامل دو بخش A) حفاظت اضافه‌جریان و B) تقویت‌کنندهٔ خطا (ولتاژ-محور) است؛ با بهره‌گیری از بخش A، سیستم می‌تواند تا حد زیادی جریان مرجع را نیز دنبال کند؛ با این تفاوت که با توجه به ساختار خود در یک باند هیسترزیس[۲۴] حول جریان مرجع تغییر وضعیت می‌دهد. با وجود این، از آنجا که مرجع کنترل‌کننده

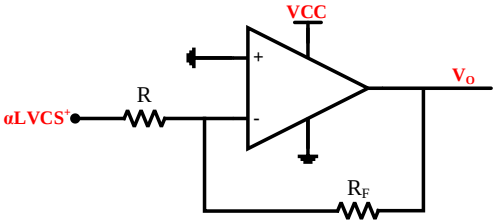
از جنس ولتاژ است، در صورت تغییر مداوم جریان مرجع، ممکن است کنترل‌کننده از دنبال‌کردن جریان مرجع باز بماند. بخش B نیز شامل یک مدار فیدبک ولتاژ با ساختار شبکهٔ جبران‌ساز درجه سه است. در ادامه، جزء به جزء این ساختار را بررسی می‌کنیم.

۳-۱- حفاظت اضافه‌جریان

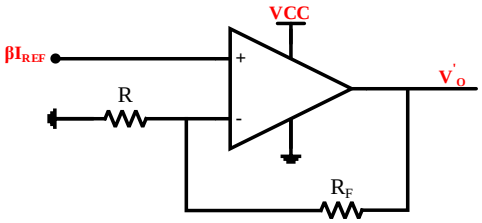
در ابتدا، بر اساس شکل (۳ الف)، بخش حفاظت اضافه‌جریان بررسی می‌شود.



(الف)



(ب)



(پ)

شکل (۳): ساختار ساختار کنترل حفاظت اضافه‌جریان پیشنهادی: (الف) حلقهٔ اصلی کنترل جریان، (ب) اجرای قضیهٔ جمع آثار با عدم وجود ورودی مثبت، (پ) اجرای قضیهٔ جمع آثار با عدم وجود ورودی منفی

در این راستا، این بخش را از طریق قضیهٔ جمع آثار تحلیل می‌کنیم؛ بر اساس شکل (۳ ب)، روابط زیر مفروض هستند:

$$\alpha I_{REF} = 0 \quad (۱)$$

$$i = \frac{\alpha LVCS^{+}}{R} \quad (۲)$$

$$\alpha LVCS^{+} = \left(R + R_F\right)\frac{\alpha LVCS^{+}}{R} + V_o \quad (۳)$$

$$V_o = \alpha LVCS^{+}\left(1 - \frac{R + R_F}{R}\right) \quad (٤)$$

$$V_o = \alpha LVCS^{+}\left(-\frac{R_F}{R}\right) \quad (۵)$$

که در آنها، I_{REF} میزان جریان مرجع؛ $LVCS^{+}$ جریان اندازه‌گیری‌شدهٔ سمت ولتاژ کم (LV)[۲۵] و RF مقاومت فیدبک است. همچنین، α و β ضرایبی ثابت هستند که در ادامه محاسبه می‌شوند.

همچنین، بر اساس شکل (۳ پ) داریم:

$$\alpha I_{REF} = 0 \quad (٦)$$

$$\alpha I_{REF} = R_F\left(\frac{-\beta I_{REF}}{R}\right) + V_O^{'} \quad (۷)$$

$$V_O^{'} = \beta I_{REF}\left(1 + \frac{R_F}{R}\right) \quad (۸)$$

در نهایت، بر مبنای جمع آثار خواهیم داشت:

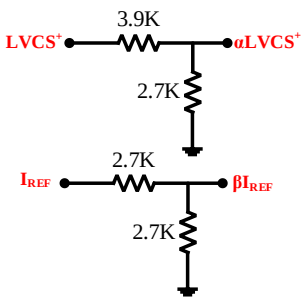
$$V_x = V_o^{'} + V_o \quad (۹)$$

$$V_x = \beta I_{REF}\left(1 + \frac{R_F}{R}\right) + \alpha LVCS^{+}\left(-\frac{R_F}{R}\right) \quad (۱۰)$$

با توجه به شکل (٤)، با توجه به تقسیم‌کننده‌های ولتاژ در مسیر حلقهٔ کنترل حفاظت اضافه‌جریان، مقادیر α و β عبارت‌اند از:

$$\alpha = \frac{2.7K}{2.7K + 3.9K} = 0.41 \quad (۱۱)$$

$$\beta = \frac{2.7K}{2.7K + 2.7K} = 0.5 \quad (۱۲)$$



شکل (٤): تقسیم‌کننده‌های ولتاژ در مسیر حلقهٔ کنترل حفاظت اضافه‌جریان

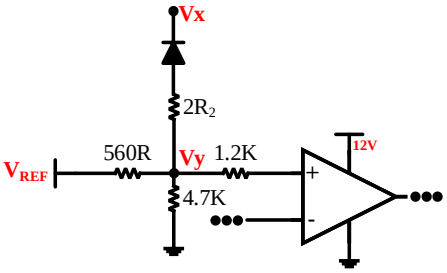
با در نظر گرفتن R_F=100K و R=1.2K و قراردادن مقادیر α و β در رابطهٔ (۱۰)، رابطه‌های (۱۳) و (۱٤) به شرح زیر مفروض هستند:

$$V_X = 0.5I_{REF}\left(1+\frac{100}{1.2}\right) + 0.41LVCS^{+}\left(-\frac{100}{1.2}\right) \quad (۱۳)$$

$$V_X = 42.17I_{REF} - 34.16LVCS^{+} \quad (۱٤)$$

از طرف دیگر، با توجه به شکل (۵)، مقدار V_y عبارت است از:

$$V_y = V_{REF} \times \frac{4.7}{4.7+0.56} \rightarrow V_y = 0.8935V_{REF} \quad (۱۵)$$

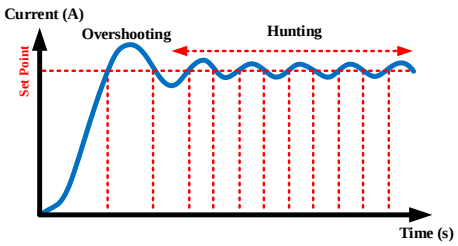


شکل (۵): ورودی حلقهٔ تقویت‌کنندهٔ خطا

با در نظر گرفتن رابطهٔ (۱٤) و بیشینهٔ مقدار V_{REF} (۲/۵ ولت)، در صورتی که رابطهٔ (۱٦) برقرار باشد، خواهیم داشت $V_x \le V_y$، که در این صورت، با هدایت دیود مدنظر بین دو بخش A) حفاظت اضافه‌جریان و B) تقویت‌کنندهٔ خطا (ولتاژ-محور)، V_{REF} تحت تأثیر می‌گیرد و از میزان آن کم می‌شود؛ این موضوع به طور مستقیم بر روی میزان تقویت‌کنندهٔ خطا تأثیر می‌گذارد و باعث کاهش جریان سمت ولتاژ کم (LV) تا محدودهٔ مجاز می‌شود.

$$LVCS \ge 1.15I_{REF} \quad (۱٦)$$

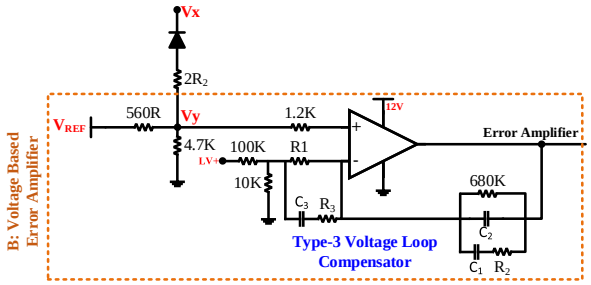
بر اساس حلقهٔ کنترل حفاظت جریان، سیستم مربوط تا حد زیادی جریان مرجع را دنبال خواهد کرد؛ با در نظر گرفتن این موضوع که با توجه به ساختار خود در یک باند هیسترزیس مطابق شکل (٦)، حول جریان مرجع تغییر وضعیت می‌دهد که با توجه به میزان در نظر گرفته شده برای بهره‌های بزرگ، مقدار نوسان‌های مربوط بسیار کوچک خواهد بود.



شکل (٦): رفتار حلقهٔ حفاظت اضافه‌جریان در مبدل تحت مطالعه

۳-۲- جبران‌ساز حلقهٔ ولتاژ نوع ۳

همان‌طور که قبلاً بیان شد، مطابق شکل (۷)، بخش B شامل یک مدار فیدبک ولتاژ با ساختار شبکهٔ جبران‌ساز درجه سه است که در ادامه جزء به جزء این ساختار را بررسی می‌کنیم. جبران‌ساز درجه سه می‌تواند در کنار ساختار انواع تقویت‌کننده، به ویژه تقویت‌کننده‌های عملیاتی، استفاده شود. در واقع، با استفاده از این ساختار که شامل سه قطب[۲٦] و دو صفر[۲۷] است، می‌توان با تنظیم R_1، R_2، R_3، C_1، C_2 و C_3، رفتار دینامیکی سیستم را تحت تأثیر قرار داد و از این رو، حصول پایداری مبدل تحت مطالعه را در شرایط تغییر بار خروجی تضمین کرد. تابع تبدیل این جبران‌ساز محاسبه و در روابط (۱۷) تا (۲۳) ارائه شده است.



شکل (۷): جبران‌ساز درجه سه استفاده‌شده در حلقهٔ کنترل مبدل تحت مطالعه

$$H(s)=\frac{w_{P1}}{s}\times\frac{\left(\frac{s}{w_{Z1}}+1\right)\left(\frac{s}{w_{Z2}}+1\right)}{\left(\frac{s}{w_{P2}}+1\right)\left(\frac{s}{w_{P3}}+1\right)} \quad (۱۷)$$

که در رابطهٔ بالا:

$$w_{P1}=\frac{1}{R_1(C_1+C_2)} \quad (۱۸)$$

$$w_{P2}=\frac{C_1+C_2}{R_2C_1C_2} \quad (۱۹)$$

$$w_{P3}=\frac{1}{R_3C_3} \quad (۲۰)$$

$$w_{Z1}=\frac{1}{R_2C_1} \quad (۲۱)$$

$$w_{Z2}=\frac{1}{C_3(R_1+R_3)} \quad (۲۲)$$

پس از قراردادن روابط (۱۸) تا (۲۲) در رابطهٔ (۱۷)، تابع تبدیل نهایی جبران‌ساز مدنظر در رابطهٔ (۲۳) قابل استناد است.

$$H(s)=\frac{1}{J2\pi fR_1(C_1+C_2)}\times\frac{(J2\pi fR_2C_1+1)(J2\pi fC_3(R_1+R_3)+1)}{\left(\frac{J2\pi fR_2C_1C_2}{(C_1+C_2)}+1\right)(J2\pi fR_3C_3+1)} \quad (۲۳)$$

با در نظر گرفتن اهداف مدنظر، مقادیر R_1 ، R_2، R_3، C_1، C_2 و C_3 باید طوری در نظر گرفته شوند که ویژگی‌های زیر را ارائه دهند:

- قراردادن یکی از قطب‌ها منطبق با مبدأ برای ایجاد حالت انتگرالی جهت حصول گین DC بالا؛
- قرار دادن یکی از قطب‌ها منطبق با فرکانس صفر مقاومت سری معادل خازن‌های خروجی (ESR). در این راستا، داریم: $f_{ESR}=\frac{1}{2\pi(ESR)C_o}$ ؛
- قراردادن یکی از قطب‌ها بر مبنای نصف فرکانس سوئیچ‌زنی که می‌تواند نویزهای فرکانس زیاد را از حذف کند؛
- قراردادن هر دو صفر در سمت راست صفحهٔ s با هدف در نظر گرفتن فرکانس رزونانس که در این راستا، داریم: $f_r=\frac{1}{2\pi L_oC_o}$.

با عنایت به مفاهیم ارائه‌شده در بالا، مقادیر پسیو شبکهٔ جبران‌ساز نوع سه واقع در شکل (۷) محاسبه می‌شوند که عبارت‌اند از: $R_1=18K$ ، $R_2=3.3K$ ، $R_3=2.2K$ ، $C_1=47nF$ ، $C_2=150pF$ و $C_3=1nF$. به منظور رسم دیاگرام بود[۲۸] و مطالعهٔ میزان پایداری تابع تبدیل کنترلی جبران‌ساز درجه سه، حالت گسستهٔ روابط (۱۷) تا (۲۳)، با در نظر گرفتن T_S به عنوان دورهٔ تناوب سوئیچ‌زنی به صورت روابط (۲۴) تا (۳۱) محاسبه شده است. دیاگرام بود شبکهٔ جبران‌ساز درجه ۳ تحت مطالعه در شکل (۸) نمایش داده شده است.

$$\begin{aligned}y_n=&A_1y[n-1]+A_2y[n-2]\\&+A_3y[n-3]+B_0x[n]+B_1x[n-1]\\&+B_2x[n-2]+B_3x[n-3]\end{aligned} \quad (۲۴)$$

که در رابطهٔ (۲۴) داریم:

$$A_1=\frac{\left[12-T_s^2w_{P2}w_{P3}+2T_s(w_{P2}+w_{P3})\right]}{(2+T_sw_{P2})(2+T_sw_{P3})} \quad (۲۵)$$

$$A_2=\frac{-12+T_s^2w_{P2}w_{P3}+2T_s(w_{P2}+w_{P3})}{(2+T_sw_{P2})(2+T_sw_{P3})} \quad (۲۶)$$

$$A_3=\frac{(-2+T_sw_{P2})(-2+T_sw_{P3})}{(2+T_sw_{P2})(2+T_sw_{P3})} \quad (۲۷)$$

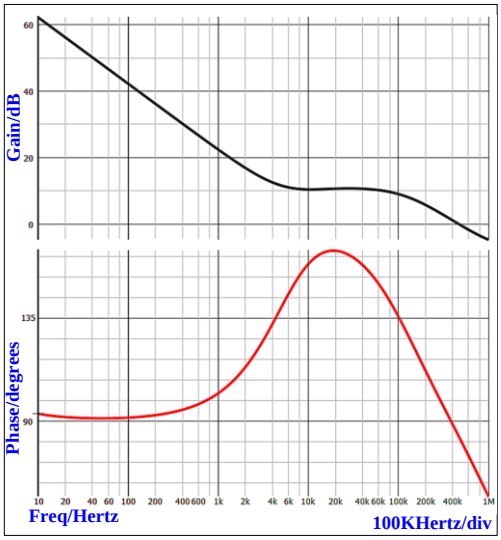
$$B_0=(T_sw_{P0}w_{P2}w_{P3})\times\frac{(2+T_sw_{P2})(2+T_sw_{P3})}{\left[2(2+T_sw_{P2})(2+T_sw_{P3})w_{z1}w_{z2}\right]} \quad (۲۸)$$

$$B_1=(T_sw_{P0}w_{P2}w_{P3})\times\frac{\left(-4+T_s^2w_{z1}w_{z2}+2T_s(w_{z1}+w_{z2})\right)}{\left[2(2+T_sw_{P2})(2+T_sw_{P3})w_{z1}w_{z2}\right]} \quad (۲۹)$$

$$B_2=(T_sw_{P0}w_{P2}w_{P3})\times\frac{\left(-4+T_s^2w_{z1}w_{z2}-2T_s(w_{z1}+w_{z2})\right)}{\left[2(2+T_sw_{P2})(2+T_sw_{P3})w_{z1}w_{z2}\right]} \quad (۳۰)$$

$$B_3=(T_sw_{P0}w_{P2}w_{P3})\times\frac{(-2+T_sw_{P2})(-2+T_sw_{P3})}{\left[2(2+T_sw_{P2})(2+T_sw_{P3})w_{z1}w_{z2}\right]} \quad (۳۱)$$

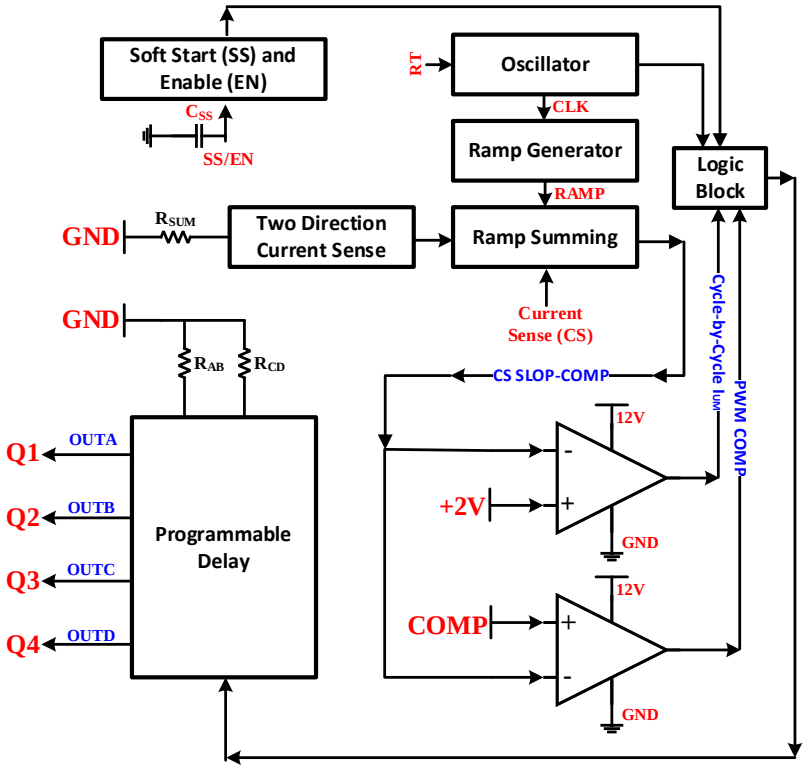
که در رابطهٔ بالا، T_s دورهٔ تناوب است و ضرایب w_p و w_z ضرایب قطب‌ها و صفرها هستند.



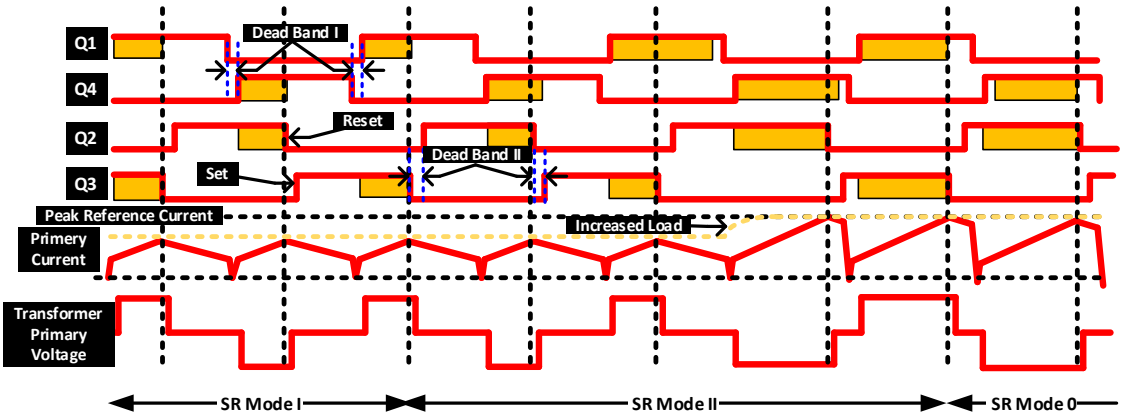
شکل (۸): دیاگرام بود شبکهٔ جبران‌ساز نوع ۳ تحت مطالعه

۳-۳- کنترل‌کنندهٔ شیفت فاز

در این مرحله، بعد از تعیین میزان تقویت‌کنندهٔ خطا، ارائهٔ راهبرد کلیدزنی برای کلیدهای قدرت مربوط هدف است. ساختار کنترلی پیشنهادی شامل کنترل پیک جریان (PCC)[۲۹] است. در حالت PCC، کنترل سیکل به سیکل حد جریان و مقایسه‌کنندهٔ مدولاسیون عرض پالس (PWM)[۳۰] مدنظر است؛ جزئیات ساختار روش کنترلی پیشنهادی در شکل (۹) نشان داده شده است که با توجه به شکل (۱۰)، شیفت فاز نهایی مبدل حاصل می‌شود؛ در واقع، با مقایسهٔ جریان سمت اولیهٔ ترانسفورماتور و میزان تقویت‌کنندهٔ خطا که حاصل از خروجی جبران‌ساز نوع ۳ ارائه‌شده در بخش ۲-۳ است، زمان تنظیم و بازنشانی مورد نیاز برای محاسبهٔ شیفت‌فاز تعیین می‌شود و سرعت به طرزی جالب توجه افزایش می‌یابد. نحوهٔ انجام این کار در شکل (۱۰) نمایش داده شده است. به علاوه، با هدف جلوگیری از نوسانان هارمونیکی، در هر مرحله از روش جبران‌ساز شیب[۳۱] استفاده می‌شود؛ در این روش کنترلی، با توجه به اینکه یکی از ورودهای کنترلی جریان سمت اولیهٔ ترانسفورماتور است، شار مغناطیسی هسته کنترل شده است که این کار می‌تواند از اشباع ترانسفورماتور جلوگیری کند.



شکل (۹): جزئیات ساختار روش کنترل پیک جریان (PCC) پیشنهادی برای تنظیم شیفت فاز مبدل DC-DC تمام‌پل مورد مطالعه



شکل (۱۰): روش کنترل پیک جریان (PCC) پیشنهادی برای تنظیم شیفت فاز مبدل DC-DC تمام‌پل مورد مطالعه

۳-٤- طراحی پارامترهای کنترل‌کنندهٔ شیفت فاز

- **تعیین میزان مقاومت جبران‌ساز شیب (R_{sum})**

با اتصال مقاومت R_{sum} به زمین، شیب اضافه‌شده ($me_{sum-PCM}$) به صورت رابطهٔ (۳۲) در نظر گرفته می‌شود.

$$me_{sum-PCC}=\left(\frac{V_{Ref}-2.5}{0.5\times R_{sum}}\right)\frac{V}{\mu s} \qquad (۳۲)$$

که در رابطهٔ (۳۲)، V_{Ref} برابر ۵ ولت است؛ از این رو، میزان R_{sum} از طریق روابط (۳۳) تا (۳۵) محاسبه شده است.

$$R_{sum}=\frac{5-2.5}{0.5\times me_{sum-PCM}}=\frac{2.5}{0.5\times 37.86\times 10^{-3}}\approx 130K \qquad (۳۳)$$

$$me_{sum-PCM}=\frac{1}{2}\times\frac{V_{out}}{L_{out}}\times\frac{R_{CS}}{\alpha_1 CT_{RAT}}-m_{MAG} =\frac{1}{2}\times\frac{28}{1.8\times 10^{-6}}\times\frac{23.5}{12\times 100}-114.44=37.87\frac{mV}{\mu s} \qquad (۳٤)$$

$$m_{MAG}=\frac{V_{INMAX}R_{CS}}{L_{MAG}CT_{RAT}}=\frac{750\times 23.5}{1.54\times 10^{-3}\times 100}=77.14\frac{mV}{\mu s} \qquad (۳۵)$$

که در رابطهٔ بالا، L_{MAG} میزان اندوکتانس مغناطیس‌کنندگی[۳۲]؛ m_{MAG} میزان شیب جریان مغناطیس‌کنندگی ترانسفورماتور جریان؛ R_{CS} میزان مقاومت مسیر جریان اندازه‌گیری‌شده[۳۳]؛ V_{INMAX} ولتاژ ورودی بیشینه و CT_{RAT} میزان نسبت تبدیل ترانسفورماتور جریان[۳٤] است.

- **تعیین میزان خازن راه‌اندازی نرم C_{SS}**

بر اساس شکل (۹)، بلوک راه‌اندازی نرم[۳۵] و فعال‌سازی[۳٦] در کنترل‌کنندهٔ پیشنهادی برای اهداف زیر استفاده می‌شود:

- راه‌اندازی نرم حلقه‌بسته در افزایش تدریجی نسبت وظیفه از میزان کمترین مقدار (T_{MIN}) تا میزان نسبت وظیفهٔ حالت ماندگار مورد نیاز برای تنظیم مقدار ولتاژ خروجی؛
- تنظیم حالت هیکاپ[۳۷] در کنترل سیکل به سیکل حد جریان[۳۸]؛
- روشن و خاموش کردن مبدل.

با توجه به رابطهٔ (۳٦)، راه‌اندازی نرم در این کنترل‌کننده توسط خازن C_{SS} محقق می‌شود.

$$C_{SS}=\frac{T_{ss}\times 25\mu A}{0.55+EA^{+}} \qquad (۳٦)$$

که در این رابطه، مقدار بیشینهٔ EA^{+} که ورودی غیرمعکوس تقویت‌کنندهٔ خطا[۳۹] است، برابر ۲/۵ ولت است و T_{SS} برابر ۱۵ میلی‌ثانیه در نظر گرفته شده است؛ از این رو، خواهیم داشت:

$$C_{SS}=\frac{15\times 10^{-3}\times 25\times 10^{-6}}{0.55+2.5}=205.88nF\approx 200nF \qquad (۳۷)$$

با توجه به رابطهٔ (۳۷)، خازن C_{SS} برابر ۲۰۰ نانوفاراد در نظر گرفته شده است که بین ورودی SS/EN و زمین قرار داده می‌شود (در شکل ۹ نشان داده شده است).

- **تعیین تأخیر کلیدزنی و زمان مرده**

با هدف جلوگیری از رخداد تداخل اتصال سوئیچ‌ها[٤۰] واقع در هر پایه[٤۱] و به علاوه، بهینه‌سازی تأخیر کلیدزنی برای حصول ZVS در طیفی وسیع از تغییرات بار، تعیین تأخیر کلیدزنی و زمان مرده[٤۲] بسیار حائز اهمّت است. در

این راستا، هدف اصلی برای این کار ایجاد زمان مورد نیاز برای تبادل انرژی بین سلف پراکندگی و خازن خروجی کلیدهاست؛ از این رو، مقدار زمان مرده بین کلیدهای الکترونیک قدرت واقع در هر پایه باید بر اساس مقدار اندوکتانس پراکندگی و خازن‌های خروجی کلیدها تعیین شود. در این میان، تأخیرهای T_{ABSET}، T_{CDSET} برای کلیدهای A، B، C و D (مطابق شکل ۱۱) به عنوان تأخیرهای تطبیقی با جریان اندازه‌گیری‌شده (CS) محسوب می‌شوند که میزان آنها با توجه به روابط (۳۸) تا (۴۰) تعیین می‌شود. در انجام این کار، نرخ بین کمترین و بیشترین تأخیر از طریق مقاومت‌های R_A و R_{AHI} تعیین می‌شود. در این راستا، در مبدل پیشنهادی، با هدف ثابت نگه داشتن میزان این تأخیر، میزان K_A صفر در نظر گرفته شده است. به علاوه، از آنجا که در مبدل حاضر سنکرون‌کردن خروجی مدنظر قرار گرفته نشده است، بین کلیدهای اولیه و ثانویه زمان تأخیر وجود نخواهد داشت؛ از این رو، مقادیر T_{AFSET}، T_{BESET} صفر هستند. نحوهٔ ایجاد این تأخیرها در شکل (۱۲) نمایش داده شده است.

$$T_{ABSET} = \left(\frac{5\times R_{AB}}{0.26\text{V} + \text{CS}\times K_A \times 1.3}\right) ns \quad (۳۸)$$
$$= \frac{5\times 4.3}{0.26 + CS\times 0\times 1.3} = 82.692 ns$$

$$T_{CDSET} = \left(\frac{5\times R_{CD}}{0.26\text{V} + \text{CS}\times K_A \times 1.3}\right) ns \quad (۳۹)$$
$$= \frac{5\times 4.3}{0.26 + CS\times 0\times 1.3} = 82.692 ns$$

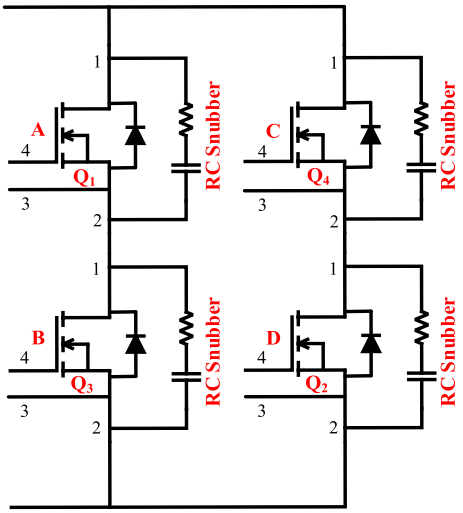
$$K_A = \frac{R_A}{R_A + R_{AHI}} \quad (۴۰)$$

که در رابطهٔ بالا، R_{AB} مقاومت برنامه‌ریزی تأخیر زمان مرده بین خروجی‌های A و B و R_{CD} مقاومت برنامه‌ریزی تأخیر زمان مرده بین خروجی‌های C و D است (در شکل ۹ نشان داده شده است). همچنین، مقاومت‌های R_{AHI} و R_A برای ایجاد ضریب ثابت K_A به منظور ایجاد تقسیم مقاومت به کار گرفته شده‌اند.

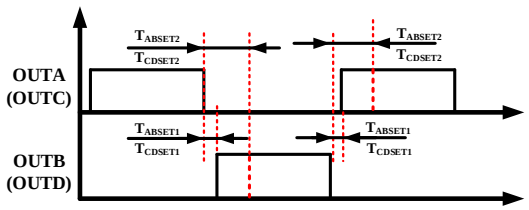
از آنجا که هدف اصلی از در نظر گرفتن تأخیر ایجاد زمان مورد نیاز برای تبادل انرژی بین سلف پراکندگی (L_{LK}) و خازن خروجی کلیدهاست، بررسی صحت انجام این کار ضروری است. در این راستا، فرکانس ایجادشده در تبادل انرژی بین این دو پارامتر به صورت رابطهٔ (۴۱) قابل محاسبه است. از طریق این فرکانس، می‌توان با استفاده از رابطهٔ (۴۲)، مقدار T_{ABSET} را محاسبه و با میزان محاسبه‌شده از طریق رابطهٔ (۳۸) مقایسه کرد. با مقایسهٔ این مقادیر، صحت مقادیر ارائه‌شده قابل تأیید است. مقدار L_{LK} در مبدل تحت مطالعه برابر ۱/۳ میکرو هانری در نظر گرفته شده است.

$$F_R = \frac{1}{2\pi\sqrt{L_{LK}\times(2\times C_{OSS_{QA}-AVG})}} \quad (۴۱)$$
$$= \frac{1}{2\pi\sqrt{1.3\mu\text{H}\times 2\times 210\,pF}} = 6.8\ MHz$$

$$T_{ABSET} = \frac{2.25}{F_R\times 4} = 82\ ns \quad (۴۲)$$



شکل (۱۱): جزئیات کلیدهای قدرت مبدل DC-DC تمام‌پل تحت مطالعه



شکل (۱۲): نحوهٔ ایجاد تأخیرهای تطبیقی با جریان در ساختار پیشنهادی

- **تعیین فرکانس کلیدزنی (F_{SW} (nom))**

در مبدل تحت مطالعه، مقاومت تنظیم فرکانس (R_T)

برابر ۷۵ کیلو اهم در نظر گرفته شده است؛ در نتیجه، فرکانس کلیدزنی ۸۰ کیلوهرتز در نظر گرفته شده است. رابطهٔ بین فرکانس کلیدزنی ($F_{SW}(\text{nom})$) و مقاومت R_T در رابطهٔ (۴۳) ارائه شده است.

$$F_{SW}(\text{nom}) = \left(\frac{2.5\times10^3}{\frac{R_T}{V_{REF}-2.5}+1\times\frac{KOhm}{V}} \right) \text{KHz} = \left(\frac{2.5\times10^3}{\frac{75}{5-2.5}+1} \right) \approx 80KHz \quad (۴۳)$$

که در رابطهٔ بالا، V_{REF} برابر ۵ ولت در نظر گرفته شده است.

از آنجا که با تغییر تعداد دور سیم‌پیچ‌های ترانسفورماتور می‌توان ولتاژ در سیم‌پیچ ثانویهٔ ترانس را تغییر داد، نسبت تعداد دور (a_1) باید با دقت مناسب برای تنظیم ولتاژ نهایی مبدل انتخاب شود. از این رو، تعداد دور ترانسفورماتور باید طوری انتخاب شود که با توجه با تغییرات ولتاژ ورودی و خروجی، بتوان یک نسبت وظیفهٔ مناسب و در محدودهٔ مجاز را برای مبدل مورد مطالعه در نظر گرفت. در این راستا، تعداد دور ترانسفورماتور استفاده‌شده در رابطهٔ (٤٤) ارائه شده است. به علاوه، با بهره‌گیری از رابطهٔ (٤٥)، می‌توان مقدار a_1 را محاسبه کرد. برای انجام این کار، a_1 با در نظر گرفتن ماکسیمم نسبت وظیفهٔ ۷۰درصدی برای افزایش حاشیهٔ قابلیت اطمینان و لحاظ‌کردن کمینهٔ ولتاژ ورودی انتخاب شده است. بعد از محاسبهٔ میزان a_1، می‌توان نسبت وظیفهٔ متداول (D_{TYP}) را از طریق رابطهٔ (٤٦) به دست آورد.

$$a_1 = \frac{N_p}{N_s} \quad (٤٤)$$

$$a_1 = \frac{(V_{INMIN}-2V_{RDSON})D_{MAX}}{V_{OUT}+V_{RDSON}} = \frac{(500-2\times0.3)\times0.7}{28+0.3} = 12.35 \approx 12 \quad (٤٥)$$

$$D_{TYP} = \frac{(V_{OUT}+V_{RDSON})\times a_1}{V_{IN}-2V_{RDSON}} = \frac{(28+0.3)\times12}{750-2\times0.3} = 0.453 \quad (٤٦)$$

که در رابطهٔ بالا، V_{RDSON} افت ولتاژ FET است و حدود ۰/۳ ولت در نظر گرفته شده است. همچنین، V_{INMIN} مقدار کمینهٔ ولتاژ ورودی، V_{OUT} مقدار ولتاژ خروجی و D_{MAX} بیشینهٔ چرخهٔ وظیفه است.

- **محاسبهٔ اندوکتانس مغناطیس‌کنندگی (L_{MAG}) و سلف پراکندگی (L_{LK})**

در انتخاب مقدار اندوکتانس مغناطیس‌کنندگی، باید دقت زیادی لحاظ شود تا این اطمینان حاصل شود که مبدل تحت مطالعه در PCC بهره‌برداری شود. از یک طرف، کاهش مقدار اندوکتانس مغناطیس‌کنندگی می‌تواند باعث افزایش جریان ورودی شود که می‌تواند در امر مطالعهٔ جریان ورودی با عنایت به مقولهٔ اشباع اختلال ایجاد کند. از طرف دیگر، افزایش بیش از اندازهٔ اندوکتانس مغناطیس‌کنندگی می‌تواند ZVS را در شرایط بهره‌برداری در بار سبک تحت تأثیر قرار دهد. میزان ریپل پیک-پیک جریان سلف خروجی بر اساس تغییرات ۲۰ درصد جریان خروجی مطابق رابطهٔ (٤٧) در نظر گرفته شده است. به علاوه، محاسبهٔ اندوکتانس مغناطیس‌کنندگی از طریق رابطهٔ (٤٨) امکان‌پذیر است. به منظور حصول اطمینان از اینکه مبدل در PCC بهره‌برداری شود و با توجه به مفهوم جبران شیب، مقدار اندوکتانس مغناطیس‌کنندگی ۱/۵٤ میلی‌هانری انتخاب می‌شود.

$$\Delta I_{LOUT} = \frac{P_{OUT}\times0.2}{V_{OUT}} = \frac{28\times350\times0.2}{28} = 70A \quad (٤٧)$$

$$L_{MAG} \geq \frac{V_{IN}(1-D_{TYP})}{\frac{\Delta I_{LOUT}\times0.5}{a_1}\times2\times F_{SW}} = \frac{750\times(1-0.453)}{\frac{70\times0.5}{12}\times2\times80\times10^3} = \frac{410.25}{466.67\times10^3} \rightarrow L_{MAG} \geq 0.879mH \quad (٤٨)$$

که در رابطهٔ بالا، D_{TYP} چرخهٔ وظیفهٔ نامی است.

انتخاب میزان سلف پراکندگی (L_{LK}) بر اساس انرژی مورد نیاز برای حصول ZVS تعیین می‌شود؛ از این رو، پارامتری بسیار مهم در طراحی مبدل تحت مطالعه محسوب می‌شود. با این حال، ممکن است چالش‌هایی مانند رزونانس

منجر به این شوند که طراح نتواند اندوکتانس پراکندگی ترانسفورماتور را از یک میزان خاص افزایش دهد و برای سلف پراکندگی به سلف خارجی متکی شود. به همین دلیل، انتخاب مقدار دقیق برای این پارامتر چالش‌های زیادی را در تنظیم مبدل تحت مطالعه به‌وجود می‌آورد؛ زیرا کاهش سلف پراکندگی نیز باعث می‌شود انرژی لازم برای دشارژ خازن‌های خروجی سوئیچ‌ها فراهم نشود و در نتیجه، ZVS حاصل نشود. با استفاده از رابطهٔ (٤٩) به منظور حصول ZVS به‌ازای بارهای بین ۱۰۰ درصد تا ۵۰ درصد بار نامی، می‌توان مقدار سلف پراکندگی را محاسبه کرد. در این رابطه، I_{PP} ماکسیمم جریان ورودی است که از رابطهٔ (۵۰) قابل محاسبه است. به علاوه، در رابطهٔ (۵۰)، ΔI_{LMAG} حداکثر تغییرات جریان مغناطیس‌کنندگی است که از طریق رابطهٔ (۵۱) قابل محاسبه است.

$$L_{LK} \ge (2\times C_{OSS-AVG})\frac{{V_{INMAX}}^2}{\left(\frac{I_{PP}}{2}-\frac{\Delta I_{LOUT}}{2\times a_1}\right)^2} = \left(2\times 210\times 10^{-12}\right)\frac{750^2}{\left(\frac{35.36}{2}-\frac{70}{2\times 12}\right)^2} = 1.083\,\mu H \quad (٤٩)$$

$$I_{PP} = \left(\frac{P_{out}}{V_{out}\eta}+\frac{\Delta I_{LOUT}}{2}\right)\frac{1}{a_1}+\Delta I_{LMAG} = \left(\frac{28\times 350}{28\times 0.94}+\frac{70}{2}\right)\frac{1}{12}+1.42 = 35.36\,A \quad (۵۰)$$

$$\Delta I_{LMAG} = \frac{V_{INMIN}\times D_{MAX}}{L_{MAG}\times 2\times F_{SW}} = \frac{500\times 0.7}{1.54\times 10^{-3}\times 2\times 80\times 10^3} = 1.42\,A \quad (۵۱)$$

که در رابطهٔ (٤٩)، مقدار خازن خروجی کلیدهای انتخاب‌شده ۲۱۰ پیکوفاراد است. در رابطهٔ (۵۰)، بازدهی مبدل (η) ٩٤ درصد در نظر گرفته شده است. با توجه به اینکه از رابطهٔ (٤٩) داریم: $L_{LK} \ge 1.083$ و اطمینان از این مهم که انرژی لازم برای دشارژ خازن‌های خروجی سوئیچ‌ها فراهم می‌شود، میزان L_{LK} برابر ۱/۳ میکروهانری در نظر گرفته شده است.

- **محاسبهٔ سلف خروجی (L_{OUT}) و خازن خروجی (C_{OUT})**

سلف خروجی مطابق رابطهٔ (۵۲)، بر اساس ۲۰ درصد ریپل جریان خروجی طراحی شده است.

$$L_{OUT} \ge \frac{V_{OUT}\times(1-D_{TYP})}{\Delta I_{LOUT}\times 2\times F_{SW}} = \frac{28\times(1-0.453)}{70\times 2\times 80\times 10^3} = 1.37\,\mu H \quad (۵۲)$$

برای مبدل مورد مطالعه، مقدار ۱/۸ میکروهانری برای سلف خروجی انتخاب شده است. مقدار جذر متوسط مربع (RMS)[۴۳] جریان سلف خروجی بر اساس رابطهٔ (۵۳)، ۳۵۹/٤۲۲ آمپر محاسبه شده است.

$$I_{LOUT_RMS} = \sqrt{\left(\frac{P_{OUT}}{V_{OUT}}\right)^2+\left(\frac{\Delta I_{LOUT}}{\sqrt{3}}\right)^2} = \sqrt{\left(\frac{10\times 10^3}{28}\right)^2+\left(\frac{70}{\sqrt{3}}\right)^2} = 359.422A \quad (۵۳)$$

میزان خازن خروجی باید بر اساس ولتاژ گذرای در نظر گرفته شده در بار خروجی (V_{TRAN}) طراحی شود. در این راستا، زمان مورد نیاز که طول می‌کشد تا سلف خروجی به ۹۰ درصد جریان بار کامل تغییر وضعیت دهد را با t_{HU} نمایش می‌دهیم که از طریق رابطهٔ (٥٤) قابل محاسبه است.

$$t_{HU} = \frac{\frac{L_{OUT}\times P_{OUT}\times 0.9}{V_{OUT}}}{V_{OUT}} = \frac{\frac{1.8\times 10^{-6}\times 350\times 28\times 0.9}{28}}{28} = 20.25\mu s \quad (٥٤)$$

در حین تغییرات گذرا، بیشترین تغییرات جریان به‌سرعت از مقاومت سری خازن‌های خروجی (ESR_{COUT}) عبور می‌کند؛ در این راستا، با بهره‌گیری از روابط (۵۵) و (٥٦)، می‌توان میزان C_{OUT} و ESR_{COUT} را بر اساس تغییرات ۹۰درصدی در جریان بار محاسبه کرد. مقدار ESR_{COUT} بر مبنای ۹۰ درصد از V_{TRAN} مجاز و خازن خروجی برای ۱۰ درصد از این میزان در نظر گرفته شده است.

$$ESR_{COUT} \le \frac{\frac{V_{TRAN}\times 0.9}{P_{OUT}\times 0.9}}{V_{OUT}} = \frac{\frac{600\times 10^{-3}\times 0.9}{350\times 28\times 0.9}}{28} = 1.71mOhm \quad (۵۵)$$

$$C_{OUT} \ge \frac{\frac{P_{OUT}\times 0.9\times t_{HU}}{V_{OUT}}}{V_{TRAN}\times 0.1} = \frac{\frac{350\times 28\times 0.9\times 20.25\times 10^{-6}}{28}}{600\times 0.1} = 106\mu F \quad (۵۶)$$

که در روابط بالا، V_{TRAN} برابر ۶۰۰ میلی‌ولت در نظر گرفته شده است که در این رابطه نیز باید بر اساس میلی‌ولت قرار داده شود. از این رو، مبتنی بر میزان به دست آورده شده در رابطهٔ (۵۶)، مقدار خازن خروجی $132\mu F$ انتخاب شده است که ۶ عدد خازن $22\mu F$ از نوع خازن‌های فیلم[44] با پارت نامبر B32523R0226J000 مدنظر قرار گرفته شده‌اند؛ به علاوه، دو عدد خازن $1000\,pF$ و $0.001\mu F$ نیز برای کاهش نویزهای فرکانس پایین با پارت نامبر F464BB102J2K5A و R82EC1100DQ50K استفاده شده و موازی با خازن‌های خروجی قرار داده شده‌اند.

۴- نتایج عملی

با هدف بررسی عملکرد روش ارائه‌شده، یک نمونهٔ آزمایشگاهی از مبدل DC-DC کاهندهٔ تمام‌پل بر مبنای روش کنترلی شیفت فاز پیشنهادی با توان ۱۲ کیلووات طراحی و ساخته شده که در شکل (۱۳) نشان داده شده است. در این راستا، به منظور تأمین ولتاژ ورودی از یک ماژول توان با قابلیت تولید ولتاژ ۷۵۰ ولت بهره گرفته شده است، به علاوه، یک بار مقاومتی مناسب به ترمینال خروج متصل شده است و انواع تست بر روی مبدل مدنظر اجرا شده‌اند.

مقادیر المان‌ها با توجه به ملاحظات طراحی انتخاب شده‌اند که مشخصات کامل آنها در جدول (۱) فهرست شده است؛ بر این اساس، از این پارامترها در استخراج نتایج عملی استفاده شده است.

با عنایت به شکل (۱۳)، در نمونهٔ اولیهٔ آزمایشگاهی، از میکروکنترلر F280048PMQR استفاده شده است؛ این کنترل‌کننده ماسفت‌ها را تحت فرمان سیستم کنترلی پیشنهادی در فرکانس کاری ۸۰ کیلوهرتز کلیدزنی می‌کنند. پس از تولید پالس‌های کنترلی PWM حاصل از شرایط کنترلی، از گیت درایورهای SI8233BD−D−IS استفاده شده است. به منظور نمونه‌برداری از ولتاژها و جریان‌های مورد نیاز سیستم کنترل، از واحد مبدل آنالوگ به دیجیتال (ADC) استفاده شده است که دارای وضوح ۱۲ بیت است. از آنجا که واحد ADC دارای وضوح ۱۲بیتی است، می‌تواند 2^{12} مقدار گسسته را در شرایط آنالوگ تولید کند که بین ۰ ولت و ۳/۳ ولت است؛ بنابراین، وضوح و دقت مبدل آنالوگ به دیجیتال $3.3/\left(2^{12}\right)=0.8mV$ است. علاوه بر این، یک پروب دیفرانسیلی GTP-060A برای ترسیم شکل موج‌های ولتاژ در اسیلوسکوپ استفاده شده است، در حالی که شکل موج‌های جریان با یک پروب جریان GCP-100 استخراج شده است.

جدول (۱): پارامترهای به کار گرفته شده در ساخت عملی مبدل تحت مطالعه

مقادیر	پارامترها
850V (پک باتری ولتاژ زیاد)	ولتاژ ورودی ($V_{HV-Batt}$)
12V−30V (پک باتری ولتاژ کم)	ولتاژ خروجی ($V_{LV-Batt}$)
12kW	حداکثر توان خروجی (P_{out}^{max})
SiC MOSFET, UJ3C120040K3S *Qorvo with* $R_{ds}(ON)=45m\Omega$,	کلیدهای قدرت

(Q_1,Q_2,Q_3,Q_4)	$T_{d,on}=33ns$, $T_{d,off}=63ns$, $V_{DSS}=1200V$, $I_D=65A$
ماژول‌های دیود $(D_u \text{ and } D_L)$	*Schottky Diodes & Rectifiers,* STPS200170TV1Y , 170V/100A , $r_D=1.5m\Omega$, $V_F^{max}=0.63V$
ترانسفورماتور جریان	B82801C0565A100 ; *5.6mH, N1:N2=1:100, Core: EF12.6*
خازن‌های خروجی (C_o)	6×B32523R0226J000 ; *Film Capacitors,22uF,5%,63V, MKT*
	1×F464BB102J2K5A ; *Film Capacitors, 2.5KV, 1000pF, 5%*
	1×R82EC1100DQ50K ; *Film Capacitors, 100V, 0.001uF, 10%*
سلف خروجی (L_o)	1.8µH
ترانسفورماتور سر وسط‌دار اصلی	$N_p/N_s=12$
فرکانس کلیدزنی (f_s)	80KHz
گیت درایورها	SI8233BD−D−IS ; *4A Gate Driver Capacitive Coupling 5kVrms, 2 Channel*
سنسور اثر هال *(LVCS)*	LEM HAH1DRW600; *Current Voltage Transducers*
چوک‌های مُد مشترک	2×DKIH−3242−202M−NK ; *Two Line Common Mode Choke, 20A*
پردازنده	F280048PMQR

به منظور کاهش تلفات هدایت و افزایش راندمان در نمونهٔ اولیهٔ عملی، از دیودهای شاتکی STPS200170TV1Y استفاده شده است که دارای افت ولتاژ کمی هستند و ۱۷۰ ولت را در جریان ۱۰۰ آمپر تحمل می‌کنند. علاوه بر این، در ساختار پیشنهادی از ماسفت‌های UJ3C120040K3S با مقاومت حالت وصل درین‌سورس کوچک $R_{ds}(ON)=45m\Omega$ استفاده شده است. این ماسفت دارای جریان نامی ٦٥ آمپر و همچنین ولتاژ نامی ۱۲۰۰ ولت است.

از هستهٔ PQ107 با پارت نامبر PE90PQ107X87X70 برای سیم‌پیچی ترانس مرکزی اصلی استفاده شده که برای افزایش قابلیت انتقال توان و همچنین ایجاد مقاومت مغناطیسی دارای شکاف هوای ۰/۲ میلی‌متری است که از اشباع‌شدن جلوگیری می‌کند. یکی از نکاتی که در طراحی ترانس‌شده به آن توجه شده اندوکتانس پراکندگی (نشتی) است. در واقع، کاهش اندوکتانس نشتی برای به دست آوردن راندمان توان بیشتر موضوعی اساسی است. بنابراین، برای تنظیم آن نیاز به یک مصالحه است. برای مثال، کاهش تعداد دور سیم‌پیچی‌ها باعث تلفات هسته می‌شود؛ از سوی دیگر، مهم است که رابطهٔ بین اندوکتانس نشتی و خازن‌های پارازیتی را در نظر داشته باشیم. در واقع، اندوکتانس‌های نشتی کمتر منجر به خازن‌های پارازیتی با ظرفیت بیشتر می‌شوند. می‌توان بیان کرد اندوکتانس نشتی به عوامل زیادی وابسته است که از جمله می‌توان به هندسهٔ سیم‌پیچ، هندسهٔ هسته و تعداد دور اشاره کرد. اگرچه هندسه و آرایش سیم‌پیچ تأثیر زیادی بر اندوکتانس پراکندگی دارد، محاسبهٔ تحلیلی آن و به دست آوردن نتایج قابل اعتماد بسیار پیچیده است. همچنین، اگر بدانید این پارامترها چه تأثیری بر نشتی دارند، می‌توان آنها را کنترل کرد. در این راستا، به منظور سیم‌پیچی ترانس‌شده برای مبدل پیشنهادی، طراحی سیم‌پیچی‌های اولیه و ثانویه و همچنین انتخاب هسته با دقت انجام شده است و به منظور کاهش اندوکتانس نشتی نکات زیر در نظر گرفته شده‌اند: ۱) کاهش تعداد دور سیسم‌پیچی‌ها و لایه‌ها؛ ۲) کاهش ضخامت لایهٔ عایق؛ ۳) کاهش میانگین طول چرخش؛ ٤) افزایش عرض پنجرهٔ هسته و ٥) کاهش ارتفاع پنجرهٔ هسته. همچنین، سلف خروجی روی یک هستهٔ PM پودر آهن B65686A0315A027 پیچیده شده است. با توجه به (٥٧)، خازن‌های خروجی ٦ عدد خازن فیلم با ظرفیت $22\mu F$ با پارت نامبر B32523R0226J000 مدنظر قرار گرفته شده‌اند؛ به علاوه، دو عدد خازن $1000pF$ و $0.001\mu F$ نیز برای کاهش نویزهای فرکانس کم با پارت

نـــامبر F464BB102J2K5A و R82EC1100DQ50K استفاده و موازی خازن‌های خروجی قرار داده شده‌اند. دلیل اینکه در عمل از خازن‌هـای کمـی بـزرگ‌تـر از محاسـبات نظری استفاده می‌شود این است که با افزایش مقدار ظرفیت، مقدار مقاومت سری معادل کاهش می‌یابد.

نتایج مربـوط بـه پارامترهـای مختلـف از جملـه ولتـاژ ورودی، ولتاژ خروجی، جریان ورودی و خروجـی و نحـوهٔ کلیدزنی کلیدهای قدرت در شکل (۱٤) ارائه شده است. بـا توجه به نتایج حاصل‌شده، مبدل مورد مطالعه بـا عنایـت بـه حلقهٔ کنترل جریان و جبـران‌سـاز درجـه ۳ استفاده‌شـده در بخش تولید تقویت‌کنندهٔ خطا، دارای پایداری مناسبی اسـت و به‌سرعت به تغییرات بار پاسـخی مطلـوب در زمینـه‌هـای مختلف ارائه می‌کند. شـکل (۱٤ الـف) دینامیـک مبـدل در زمان راه‌انـدازی در فرکـانس کـاری ۸۰ کیلـوهرتز را نشـان می‌دهد. با توجه به این شکل، میزان نقطهٔ تنظیم مرجع ولتاژ خروجی ۲۰ ولت در نظر گرفته شده و با عنایت بـه بـار در نظر گرفته شده، جریـان خروجـی بـه میـزان ۳۰۰ آمپـر در دسترس قرار گرفته شده اسـت؛ از ایـن رو، تـوان خروجـی مبدل در این حالت حدوداً برابر ٦ کیلووات است. مشخص است که مبدل DC-DC تمام‌پل مورد مطالعه بـا عنایـت بـه بهره‌گیری از روش کنترلی پیشنهادی، مرجع ولتـاژ و مرجـع جریان را با دقت و سرعت زیاد دنبال کرده است.

به منظور بررسـی تغییـرات بـار در خروجـی، آزمـایش دیگـری انجـام شـده اسـت. شـکل (۱٤ ب) میـزان ولتـاژ خروجی، میزان جریان خروجـی سـمت بـاتری ولتـاژ کـم، فرکانس کلیدزنی و جریان ورودی کشیده‌شده از باتری ولتاژ زیاد در زمان افزایش بار خروجی به میـزان ۱۲ کیلـووات را نمایش می‌دهـد. در ایـن شـکل، میـزان نقطـهٔ تنظـیم ولتـاژ خروجی ۳۰ ولت در نظر گرفته شده و جریان خروجـی بـه میزان ٤۰۰ آمپـر در دسـترس قـرار گرفتـه اسـت. فرکـانس سوئیچ‌زنی با توجه به این شکل برابر ۸۰ کیلوهرتز است.

شکل (۱۳): نمونهٔ آزمایشگاهی از روش کنترلی پیشنهادی بر روی یک مبدل DC-DC تمام‌پل ۱۲ کیلووات

در شکل (۱٤ پ)، تأثیرات اغتشاشات بر روی سیسـتم پیشنهادی مطالعه شـده اسـت. بـر ایـن اسـاس، در تـوان ۱ کیلووات، اغتشاشی بزرگ به سیستم وارد شـده کـه سیسـتم کنترلی پیشنهادی با عنایت بـه جبـران‌سـاز نـوع ۳ آن را رد کرده و جریان خروجی ۱۱٦ آمپر در ولتـاژ ثابـت خروجـی محقق شده است. بـا عنایـت بـه ایـن شـکل، میـزان زمـان نشست[٤٥] و زمان صعود[٤٦] بسـیار مطلـوب اسـت و سیسـتم به‌سرعت به اغتشاشات پاسخ نشان داده است.

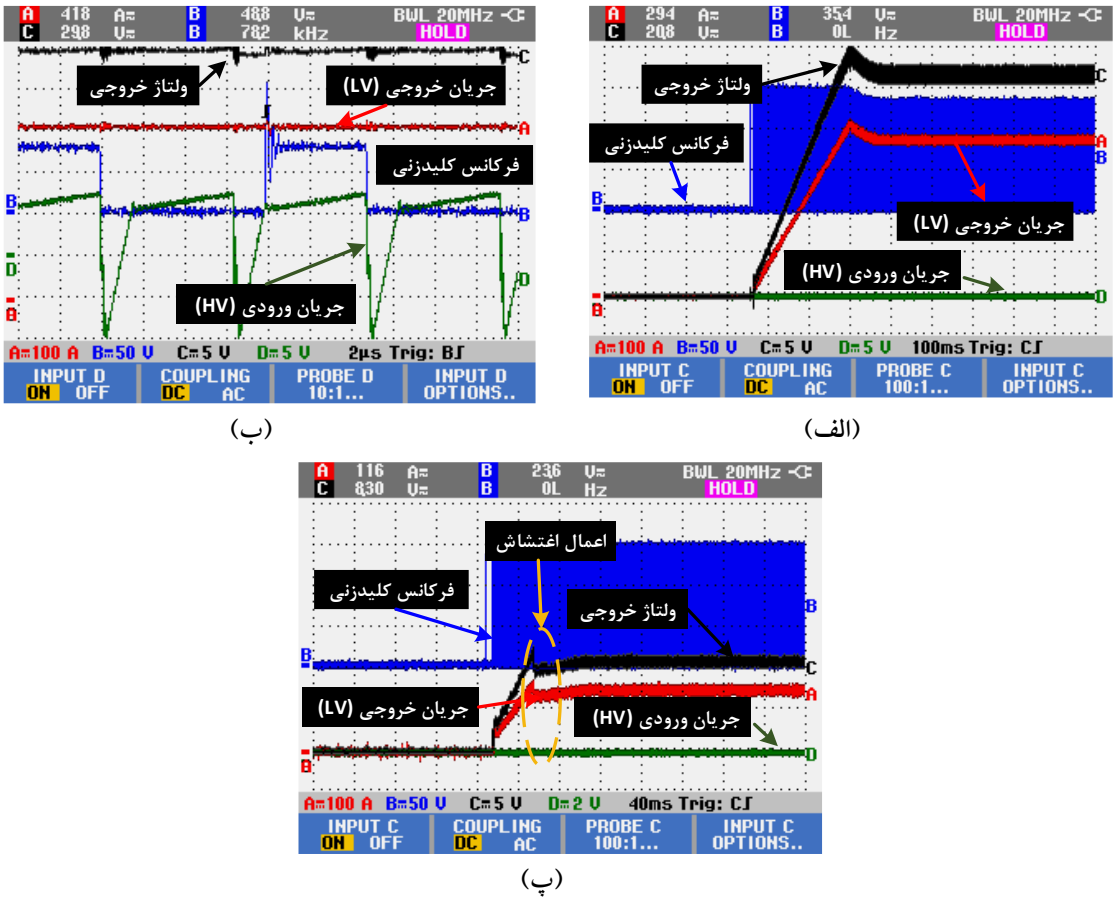
٤-۱- مقایسه روش کنترلی پیشنهادی بـا برخـی از کنترل‌کننده‌های موجود

در ایـن بخـش، بـه منظـور نشـان‌دادن برتـری روش پیشنهادی، ساختار کنترلی ارائه‌شده با تعدادی از روش‌هـای کنترلی موجود مقایسه شده که به صوت نتایج عملی اجرا و نتایج ارائه شده است. برای انجام این کار، روش‌های کنترلی شیفت فاز مبتنـی بـر حلقه‌بسـتهٔ پیشـخور دوگانـه در [۱٦]، کنترل‌کنندهٔ تناسبی-اتنگرالی-مشتقی (PID) در [۵] و کنترل مد لغزشـی در [۱۵]، در کنـار روش کنترلـی پیشـنهادی در مقالهٔ حاضر نظیر به نظیر بر روی سیسـتم مـورد مطالعـه در توان خروجی ۱ کیلووات اجرا شده‌اند و نتایج عملـی ارائـه شده است.

در ابتدا، نتایج حاصل از اجرای روش کنترلی حلقه‌بستهٔ پیشخور دوگانه [۱٦] بر روی سیستم تحت مطالعه در شکل (۱۵ الف) نشـان داده شـده اسـت. در ایـن آزمـایش، ولتـاژ

ورودی از میزان ۸۵۰ ولت به میزان ٦۰۰ ولت تغییر داده شده است و مرجع ولتاژ خروجی ۸/۵ ولت است. بر اساس نتایج حاصل =شده، خروجی سیستم دارای خطای حالت ماندگار ٦ ولتی است و به‌جای ۸/۵ ولت بر روی ۱٤/٤ ولت تنظیم شده است. همچنین، با تغییر در ولتاژ ورودی خروجی، نتوانسته است در مقداری ثابت باقی بماند و قابلیت دفع اغتشاش در این کنترل‌کننده ناموفق است. همان‌طور که پیش‌تر گفته شد، در روش کنترلی حلقه‌بستهٔ پیشخور دوگانه، ساختار ولتاژ ورودی به عنوان یک متغیر کنترل معرفی نمی‌شود، بلکه به عنوان یک ضریب ثابت در نظر گرفته می‌شود و در تغییرات لحظه‌ای ولتاژ ورودی، کنترل حلقه‌بستهٔ مدنظر نمی‌تواند تغییرات را دنبال کند و چرخهٔ وظیفهٔ حاصل از خروجی سیستم کنترلی بدون تغییر باقی می‌ماند؛ در این حالت، ولتاژ خروجی از مقدار داده‌شده منحرف و منجر به پاسخ دینامیکی کُند سیستم به تغییر ولتاژ ورودی می‌شود.

در ساختار کنترلی دوم، نتایج حاصل از اجرای کنترل‌کنندهٔ تناسبی-انتگرالی-مشتقی (PID) [٥]، بر روی سیستم تحت مطالعه در شکل (۱٥ ب) نشان داده شده است.



شکل (۱٤): نتایج عملی روش کنترلی پیشنهادی بر روی یک مبدل DC-DC تمام‌پل ۱۲ کیلووات؛ (الف) دینامیک راه‌اندازی سیستم مورد مطالعه در توان خروجی ٦ کیلووات؛ (ب) افزایش بار به توان خروجی ۱۲ کیلووات و (پ) تأثیرات اغتشاشات بر روی سیستم پیشنهادی مورد مطالعه.

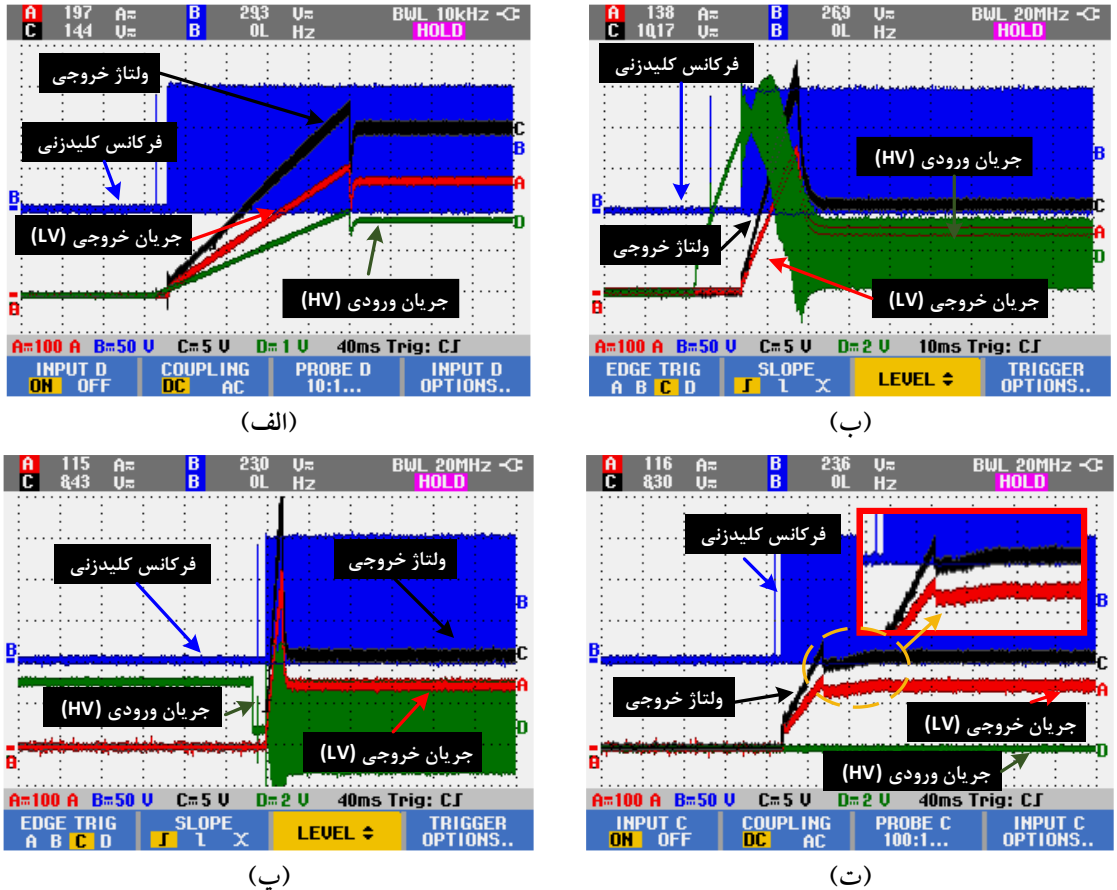
همان‌طور که مشخص است، با عنایت به اینکه سیستم دارای بخش انتگرالی است، خطای حالت ماندگار سیستم به طرزی مطلوب کم است؛ ولی با عنایت به عدم وجود حلقهٔ حفاظت از اضافه‌جریان، میزان جریان خروجی از مقدار نامی مدنظر (۱۱٦ آمپر)، به میزان ۱۳۸ آمپر رسیده است که حدود ۲۰ درصد خطا دیده می‌شود. همچین، سیستم دارای

میزان زمان نشست و زمان صعود نامطلوبی است و فراجهش[۴۷] سیستم حدود ۹۰ درصد است که بسیار نامطلوب و بزرگ است و می‌تواند به بار خروجی آسیب زیادی وارد کند.

در شکل (۱۵ پ)، روش کنترلی مد لغزشی [۱۵] مطالعه شده است. این روش، با عنایت به اینکه جریان و ولتاژ به عنوان متغیرهای کنترلی مدنظر قرار می‌گیرند، نتایجی مطلوب را ارائه کرده است و میزان خطای حالت دائمی سیستم در زمان تغییرات ولتاژ ورودی بسیار کم و حدود ۵ درصد است؛ با همهٔ این اوصاف، از این شکل مشخص است که سیستم دارای میزان فراجهش بسیار زیادی است؛ همچنین، میزان زمان صعود و زمان نشست در مقایسه با روش کنترلی پیشنهادی نامطلوب‌تر است.

در شکل (۱۵ ت)، روش کنترلی پیشنهادی بر روی سیستم تحت مطالعه اجرا و تأثیرات اغتشاشات بر روی این سیستم مطالعه شده است. بر این اساس، در توان ۱ کیلووات، اغتشاشی بزرگ به سیستم وارد شده که سیستم کنترلی پیشنهادی با عنایت به جبران‌ساز نوع ۳ آن را رد کرده و جریان خروجی ۱۱۶ آمپر در ولتاژ ثابت خروجی محقق شده است. با عنایت به این شکل، میزان زمان نشست و زمان صعود بسیار مطلوب است و سیستم به‌سرعت به اغتشاشات پاسخ نشان داده است.

بر اساس مقایسهٔ صورت‌گرفته، مشخص است که سیستم کنترلی پیشنهادی از جنبه‌های خطای حالت دائمی و مشخصه‌های دینامیکی در زمان گذرا مانند میزان فراجهش، زمان صعود و زمان نشست، در مقایسه با روش‌های کنترلی مرسوم، عملکردی مطلوب‌تر را نشان می‌دهد.



شکل (۱۵): مقایسهٔ روش کنترلی پیشنهادی با سایر روش‌های مرسوم؛ (الف) نتایج کنترل‌کنندهٔ حلقه‌بستهٔ پیشخور دوگانه [۱۶]؛ (ب) نتایج کنترل‌کنندهٔ تناسبی-انتگرالی-مشتقی (PID) [۵]، ؛ (پ) مد لغزشی [۱۵]؛ و (ت) نتایج کنترل‌کنندهٔ ترکیبی پیشنهادی مبتنی بر جبران‌ساز حلقهٔ ولتاژ نوع ۳ و حفاظت از اضافه‌جریان.

۵- نتیجه‌گیری

در این مقاله، یک راهبرد کنترلی ترکیبی نوین بر مبنای روش کنترلی شیفت فاز برای مبدل‌های DC-DC کاهندهٔ تمام‌پل ارائه شد. روش کنترلی پیشنهادی با بهره‌گیری از دو حلقهٔ کنترل جریان و کنترل ولتاژ در کنار دو تقویت‌کنندهٔ عملیاتی و ایجاد یک ساختار جبران‌ساز نوع ۳ طراحی شد. در روش پیشنهادی، پارامترهای کنترلی مانند زمان تنظیم و بازنشانی مورد نیاز برای محاسبهٔ شیفت فاز تعیین شدند و به منظور کنترل کلیدهای قدرت در مبدل یادشده از روش کنترل پیک جریان بهره گرفته شد. در روش کنترل‌کنندهٔ پیشنهادی، قابلیت دفع اغتشاشات، بهبود مشخصه‌های دینامیکی مانند میزان فراجهش، زمان صعود و زمان نشست هدف قرار گرفتند. به منظور ارائهٔ ساختار کنترلی، تمامی روابط نظری مورد نیاز استخراج و ارائه شدند. به منظور نشان‌دادن برتری کنترل‌کنندهٔ پیشنهادی، مقایسه‌ای با سایر روش‌های موجود صورت گرفت و نتایج به روش اجرای عملی بر روی یک نمونهٔ آزمایشگاهی با توان ۱۲ کیلووات در کاربرد خودروهای برقی ارائه شد.

مراجع

[1] D. Lyu, T. Soeiro, P. Bauer, “Multi-objective design and benchmark of wide voltage range phase-shift full bridge DC/DC converters for ev charging application”, IEEE Transactions on Transportation Electrification, Vol. 10, No. 1, pp. 288-304, March 2024. https://doi.org/10.1109/TTE.2023.3254203

[2] S. Yalçın, T. Göksu, S. Kesler, O. Bingöl, “Experimental analysis of phase shift modulation methods effects on EMI in dual active bridge DC-DC converter”, Engineering Science and Technology, an International Journal, Vol. 1, pp. 101443-101435, July 2023. https://doi.org/10.1016/j.jestch.2023.101435

[3] K. H. Park, M. Lee, G. W. Moon, “A new Phase Shift Full Bridge DC/DC Converter with Integrated Inter-module Battery Equalization Circuit (IBEC)”, IEEE Transactions on Transportation Electrification, Early Access, Nov. 2023. https://doi.org/10.1109/TTE.2023.3332859

[4] T. H. Kim, S. J. Lee, W. Choi, “Design and control of the phase shift full bridge converter for the on-board battery charger of the electric forklift”, [n Proc. 8th Int. Conf. Power Electron. (ECCE Asia), pp. 2709–2716, May 2011. https://doi.org/10.1109/ICPE.2011.5944761

[5] O. Ibrahim, N. Z. Yahaya, N. Saad, K. Y. Ahmed, “Development of observer state output feedback for phase-shifted full bridge DC–DC converter control”, IEEE Access, Vol. 5, pp. 18143–18154, 2017. https://doi.org/10.1109/ACCESS.2017.2745417

[6] A. Mallik, A. Khaligh, “Variable-switching-frequency statefeedback control of a phase-shifted full-bridge DC/DC converter”, IEEE Trans. Power Electron., Vol. 32, No. 8, pp. 6523–6531, Aug. 2017. https://doi.org/10.1109/TPEL.2016.2616033

[7] S. Kouro, P. Cortès, R. Vargas, U. Ammann, J. Rodríguez, “Model predictive control—A simple and powerful method to control power converters”, IEEE Trans. Ind. Electron., Vol. 56, No. 6, pp. 1826–1838, Nov. 2008. https://doi.org/10.1109/TIE.2008.2008349

[8] A. M. Ari, L. Li, O. Wasynczuk, “Control and optimization of N-port DC–DC converters”, IEEE Trans. Control Syst. Technol., Vol. 24, No. 4, pp. 1521–1528, Jul. 2016. https://doi.org/10.1109/TCST.2015.2495236

[9] J. Rodriguez, P. Cortes, “Predictive Control of Power Converters and Electrical Drives”, Hoboken, NJ, USA: Wiley, 2012. https://doi.org/10.1002/9781119941446

[10] Y. Xie, R. Ghaemi, J. Sun, J. S. Freudenberg, “Implicit model predictive control of a full bridge DC–DC converter”, IEEE Trans. Power Electron., Vol. 24, No. 12, pp. 2704–2713, Dec. 2009. https://doi.org/10.1109/TPEL.2009.2030196

[11] Y. Xie, R. Ghaemi, J. Sun, J. S. Freudenberg, “Model predictive control for a full bridge DC/DC converter”, IEEE Trans. Control Syst. Technol., Vol. 20, No. 1, pp. 164–172, Jan. 2012. https://doi.org/10.1109/TCST.2011.2107575

[12] J. Saeed, A. Hasan, “Unit prediction horizon binary search-based model predictive control of full-bridge DC–DC converter”, IEEE Trans. Control Syst. Technol., Vol. 26, No. 2, pp. 463–474, Mar. 2018. https://doi.org/10.1109/TCST.2017.2670530

[13] J. Lee, “DSP-based sliding-mode control for electromagnetic levitation precise-position system”, IEEE Transactions on

Industrial Informatics, Vol. 9, No. 2, pp.817-827, Sep 2015. https://doi.org/10.1109/TII.2012.2219062

[14] S. Li, "Design and Implementation of Clutch Control for Automotive Transmissions Using Terminal Slidin g-Mode Control and Uncertainty Observer", IEEE Transactions on Vehicular Technology, Vol. 65, No. 4, pp.1890-1898, April 2016. https://doi.org/10.1109/TVT.2015.2433178

[15] W. Xiao, L. Lei, C. Qihong, Z. Liyan, Q. Shuhai, "Sliding mode control of a phase shifted full bridge DC/DC converter", In 32nd Youth Academic Annual Conference of Chinese Association of Automation (YAC), pp. 138-142, IEEE, 2017. https://doi.org/10.1109/YAC.2017.7967393

[16] J. Zhang, W. Yong, Y. Fanhe, "Dual Feedforward Closed-Loop Control for Phase-Shifted Full-Bridge DC-DC Converter", In IEEE Asia Power and Energy Engineering Conference (APEEC), pp. 65-68, IEEE, 2019. https://doi.org/10.1109/APEEC.2019.8720675

[17] K. R. İlker, T. Demirdelen, M. Tümay, "A novel fuzzy logic control for bidirectional DC-DC converter and comparison with dual phase-shift control method in medium voltage applications", In IEEE International Conference on Computational Intelligence and Virtual Environments for Measurement Systems and Applications (CIVEMSA), pp. 1-6, IEEE, 2016. https://doi.org/10.1109/CIVEMSA.2016.7524324

[18] Y. K. Lo, C. Y. Lin, M. T. Hsieh, C. Y. Lin, "Phase-shifted full-bridge series-resonant DC-DC converters for wide load variations", IEEE Transactions on Industrial Electronics, Vol. 58, No. 6, pp. 2572-2575, July 2010. https://doi.org/10.1109/TIE.2010.2058076

---

[1] Full bridge
[2] Phase shift
[3] Zero voltage switching
[4] Switching
[5] Resonant
[6] Leakage inductor
[7] Soft switching
[8] State feedback
[9] Linear–quadratic regulator
[10] Model predictive control
[11] Sequential quadratic programming
[12] Minimum phase
[13] Sliding mode control
[14] Dual feedforward
[15] Duty cycle
[16] Set
[17] Reset
[18] Half bridge
[19] Continuous current mode
[20] Direct current
[21] Alternating current
[22] Ferrite
[23] Center tapped transformer
[24] Hysteresis
[25] Low voltage
[26] Pole
[27] Zero
[28] Bode

[29] Peak current Control
[30] Pulse width modulation
[31] Slop compensation
[32] Magnetizing inductance
[33] Current sense resistor
[34] Current transformer turns ratio
[35] Soft start
[36] Enable
[37] Hiccup
[38] Cycle-by-cycle current limit
[39] Error amplifier non-inverting input
[40] Shoot-through
[41] Leg
[42] Dead-time
[43] Root mean square
[44] Film capacitor
[45] Settling time
[46] Rising time
[47] Overshoot